

**SEMICONDUCTOR ELEMENT AND MANUFACTURE THEREOF**

Publication number: JP3102876 (A)

Publication date: 1991-04-30

Inventor(s): OTAKA SHIGEO; IJIMA TETSUO; ANDO AKIO

Applicant(s): HITACHI LTD

Classification:

- international: H01L21/312; H01L21/323; H01L21/336; H01L23/28;  
 H01L29/06; H01L29/40; H01L29/76; H01L21/02; H01L23/28;  
 H01L29/02; H01L29/40; H01L29/66; (IPC1-7): H01L21/312;  
 H01L29/784

- European: H01L29/40S; H01L21/263B; H01L23/29P; H01L29/06B2B3B

Application number: JP19890240167 19890918

Priority number(s): JP19890240167 19890918

Also published as:

JP2908818 (B2)

US5196354 (A)

 KR100187735 (B1)

## Abstract of JP 3102876 (A)

PURPOSE: To reduce the reverse recovery time by providing a polyimide resin film as the passivation film at not a MOSFET division but a peripheral region. CONSTITUTION: A semiconductor element 1 contains a field limiting region 2 in the periphery and a MOSFET division 3 in side it. Its rectangular blanks at left-right edge centers are a gate (G) wire bonding pad 4 and a source (S) wire bonding pad 5, respectively. A polyimide resin film 29 is deposited on the field limiting region 2, but not on the MOSFET region 3. Therefore, even if the semiconductor element whose passivation film is formed of polyimide resin can shorten the reverse recovery time of a built-in diode 30 constituted by an n<->p type epitaxial grown layer 11 and a p-type cell well 12 and attain the recovery of MOSFET threshold values by irradiation with electron beams and by annealing treatment.



Data supplied from the esp@cenet database — Worldwide

## ⑫ 公開特許公報 (A) 平3-102876

⑬ Int. Cl. 5

H 01 L 29/784  
21/312

識別記号

序内整理番号

⑭ 公開 平成3年(1991)4月30日

B

6940-5F  
8728-5FH 01 L 29/78 3 2 1 N  
審査請求 未請求 請求項の数 5 (全9頁)

⑮ 発明の名称 半導体素子およびその製造方法

⑯ 特願 平1-240167

⑰ 出願 平1(1989)9月18日

⑱ 発明者 大高 成雄 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 発明者 飯島 哲郎 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑳ 発明者 安藤 明夫 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

㉑ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代理人 弁理士 秋田 収喜

## 明細書

## 1. 発明の名称

半導体素子およびその製造方法

## 2. 特許請求の範囲

1. 電子線や中性子線照射または重金属の拡散およびこれに続くアニール処理によって内蔵ダイオードの逆復帰時間が調整されたMOSFET部を有する半導体素子であって、前記MOSFET部以外の領域には樹脂性保護膜が設けられかつ前記MOSFET部の領域には樹脂性保護膜が設けられていないことを特徴とする半導体素子。

2. 前記MOSFET部以外の領域にはボリミック樹脂系の保護膜が設けられていることを特徴とする特許請求の範囲第1項記載の半導体素子。

3. 表面がバッシベーション膜で被われてなる半導体素子であって、前記半導体素子の表面の所望各領域は相互に異なる材質からなるバッシベーション膜で被われていることを特徴とする半導体素子。

4. 一部にMOSFET部が設けられた半導体基板に対して電子線や中性子線照射または重金属の拡散およびこれに続くアニール処理を行って内蔵ダイオードの逆復帰時間を調整することを特徴とする半導体素子の製造方法であって、前記MOSFET部の領域を除く領域に樹脂性保護膜を形成し、その後電子線や中性子線照射または重金属の拡散を行うことを特徴とする半導体素子の製造方法。

5. 前記電子線照射およびアニール処理は熱を伴う最終処理が行われた後に行われるることを特徴とする特許請求の範囲第1項記載の半導体素子の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明はMOSFET (Metal Oxide Semiconductor Field Effect Transistor)部を有する半導体素子およびその製造方法、特に高速スイッチング用MOSFETに関し、たとえば、電子線照射による内蔵ダイオードのライフタイムコ

ントロール技術に適用して有効な技術に関する。  
〔従来の技術〕

パワーMOSFETにおいては、内蔵ダイオードの逆回復時間  $t_{rr}$  を短縮するために、重金属を拡散したり、電子線や中性子線を照射してライフタイムコントロールを行なっている。たとえば、特開昭62-219664号公報には、MOS型半導体素子の形成された基板に対し電子線照射ならびにアニール処理を行うことにより内蔵ダイオードの逆回復時間を調整する技術が開示されている。

一方、ポリイミド樹脂はリンシリケートガラス(PSG)膜に比べてビンホールが多く、かつ厚く形成できるため、耐々膜あるいは高耐圧の半導体素子の表面保護膜として通していると考えられ、バイポーラトランジスタのみならず、絶縁ゲートトランジスタ、ICなどに広く使用されている。たとえば、特開昭55-156343号公報には、半導体チップの表面をポリイミド樹脂で被い、これによってガラス遮蔽を行なう技術が開示さ

れている。また、工業調査会発行「電子材料」1988年12月号、昭和63年12月1日発行、P41～P45およびP46～P52には、多層配線用新ポリイミド膜および半導体用ポリイミド樹脂について記載されている。

#### (発明が解決しようとする課題)

パワーMOSFETの内蔵ダイオードにおける逆回復時間  $t_{rr}$  の短縮化において、電子線照射によるライフタイムコントロールが行なわれている。すなわち、この技術では、n形半導体基板にMOS部を形成した後、電子線照射を行い、ついでアニール処理を行なうことによって、n基板とp層との間の接合ダイオードの逆回復時間を短くし、これによって内蔵ダイオードをフライホールダイオードとして積極的に利用可能としている。

また、前記文献のグラフに示されているように、電子線照射を行ったMOSFETの耐電圧  $V_{th}$  は、電子線を照射しないMOSFETの  $V_{th}$  に対して最大で80%前後回復する。また、この  $V_{th}$  の回復率はアニール処理時間に依存するが、所定の处

理時間で飽和する。したがって、処理時間を選択すれば、常に最大の回復率を得ることができる。

一方、ポリイミド樹脂は、絶縁被膜電圧(耐压)、絶縁導電性、厚膜化、バッファ性等に優れることから、バッファーション膜や層間絶縁膜として使用されている。

そこで、本出願人にはあっては、電子線照射によるライフタイムコントロールを行なっているパワーMOSFETにおいて、表面保護膜をリンシリケートガラス PSG 膜からポリイミド樹脂に変更してみた。しかし、ポリイミド樹脂をバッファーション膜としたMOSFETでは、電子線照射後のアニール処理での耐電圧  $V_{th}$  の回復率が、PSG膜の場合の80～90%に比較して50～60%と低く、かつバラツキも大きくなるということが判明した。

本発明の目的は、ポリイミド樹脂をバッファーション膜とするMOSFETを有する半導体素子において、内蔵ダイオードの逆回復時間を低減できる半導体素子およびその製造方法を提供することである。

とにある。

本発明の前記ならびにそのほかの目的と斬新な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

#### (課題を解決するための手段)

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明の半導体素子はバッファーション膜をポリイミド樹脂で形成した構造となるとともに、その製造において電子線照射およびアニール処理によって内蔵ダイオードの逆回復時間を短くしている。また、前記バッファーション膜としてのポリイミド樹脂膜は、アニール処理時MOSFET部の耐電圧の回復を阻害するため、MOSFET部の領域には設けずにMOSFET部を外れた半導体素子の周辺領域に設けられている。また、MOSFET部の領域はPSG膜でバッファーション膜を構成している。したがって、半導体素子の表面を領域的に見ると、それぞれ所望の

領域に所置の材質からなるバッジベーション膜が形成される構造となる。

(作用)

上記した手段によれば、本発明のMOSFETを有する半導体素子は、半導体素子の裏面の周縁部分にポリイミド樹脂が設けられていることから、レジンでモールドされた累積樹脂同士であることから密着性が良好となり耐湿性が向上する。また、前記ポリイミド樹脂はMOSFET部の領域には設けられていないことから、半導体素子の製造時に行われる電子線照射およびアーニル処理による内蔵ダイオードの逆回復時間の低減処理において、アーニル処理によるMOSFET部の閾電圧値の回復率が高くなり、内蔵ダイオードをフライホイールダイオードとして使用できるようになる。

(実施例)

以下図面を参照して本発明の一実施例について説明する。

第1図は本発明の一実施例によるパワーMOSFETの模式的平面図、第2図は同じくパワーM

MOSFETの要部を示す断面図、第3図は同じくパワーMOSFETの等価回路図、第4図は本発明の一実施例によるパワーMOSFETの製造方法を示すフローチャート、第5図～第13図は同じくパワーMOSFETの製造各工程における断面図であって、第5図はウエハの一部を示す断面図、第6図はpウェルが形成されたウエハの断面図、第7図はゲート被覆膜が形成されたウエハの断面図、第8図はp領域が形成されたウエハの断面図、第9図はソース領域が形成されたウエハの断面図、第10図は漏間隙膜が形成されたウエハの断面図、第11図はソース電極が形成されたウエハの断面図、第12図はPSC膜が形成されたウエハの断面図、第13図はポリイミド樹脂膜が形成されたウエハの断面図、第14図は本発明による半導体装置の外観を示す斜視図である。

本発明のパワーMOSFETを構成する半導体素子(チップ)1は、第1図に示されるように外観的には一定の厚さを有する矩形板構造となっている。半導体素子1は、平面的に見てクロスハッ

チングで示される領域がフィールドリミッティング領域2となり、このフィールドリミッティング領域2の内側のハッチングで示される領域が緩型のMOSFETが多数形成されるMOSFET部3となっている。このMOSFET部3には、後述するが緩型MOSFETが緩に多数形成されている。また、前記MOSFET部3の左右端中央の空白の矩形部分は、ゲート(G)用ワイヤボンディングパッド4、ソース(S)用ワイヤボンディングパッド5となっている。また、同図では示されていないが、チップ1の裏面はドレン電極6(第2回参照)となっている。

半導体素子1は、第2図に示されるような断面構造となっている。同図は中央部に緩に複数のロマンネル緩型MOSFET(複数ゲートトランジスタ)を有する半導体素子1の一部を示す断面図である。二点積層から左側の領域Aが半導体素子1の中央部分であってMOSFET部3が形成されている領域であり、右側の領域Bが半導体素子1の周辺部分であってフィールドリミッティ

ング領域2である。

このような緩型パワーMOSFETは、第2図に示されるように、厚さ400μm程度のn+シリコン(SI)の半導体基体(半導体基板)10の正面に形成されている。半導体基体10の正面にはn+形エピタキシャル成長層11が設けられている。このn+形エピタキシャル成長層11の表面部には同時熱処理によって8～10μm程度の深さのp形のウェルが設けられている。ウェルはFETセルを構成するための複数のセル用ウェル12と、チップの周囲に配設されかつ前記セル用ウェル12と等電位となるソース接合領域13、ソース接合領域13の外側に2段に亘って設けられたフィールドリミッティングリング(FLR)14とからなっている。

また、前記セル用ウェル12の端部にはこのセル用ウェル12の端から張り出すようにp形領域15が設けられている。このp形領域15は3

~4 μm程度の深さとなっている。前記セル用ウエル12の表層部にはリング状に深さ1 μm程度のn<sup>+</sup>形からなるソース領域16が設けられている。そして、前記ソース領域16の端のp形領域15の表層部がMOSFET部のチャネル17を構成するようになる。また、前記半導体基板10上には、厚さが1~2 μm程度の絶縁膜とリンシリケート膜(PSG膜)からなる厚いフィールド絶縁膜(フィールド酸化膜)18と、これに達する厚さが1000 nm程度のSiO<sub>2</sub>膜からなる薄いゲート絶縁膜(ゲート酸化膜)19が設けられている。前記フィールド酸化膜18はソース接合領域13およびフィールドリミッティンググライング14上に延在する。また、最外周のセル用ウエル12部分におけるゲート酸化膜19はソース接合領域13上にまで及んでいる。また、フィールドリミッティング領域2の最外周部分には、1 μm程度の深さのn<sup>+</sup>形のアニューリング20が設けられている。このアニューリング20は前記ソース領域16の形成と同時に形成される。

さらに、半導体素子1の裏面には厚さ1 μm程度の環からなるドレイン電極6が設けられている。この半導体素子1は、第3図に示されるような等価回路を構成する。

このような半導体素子1は、n<sup>-</sup>形エピタキシャル成長層11とp形のセル用ウエル12との間で、第3図に示されるように内蔵ダイオード30を構成するが、この内蔵ダイオード30の逆回復時間t<sub>r</sub>を短縮するために、電子線照射およびアニール処理が施されている。この電子線照射およびアニール処理は、その製造において最終熱処理が終了した時点に行われる。また、この半導体素子1は、バッシャーション膜をポリイミド樹脂で形成し、レジンでモールドされた際、レジンとの密着性を高め、これによって耐湿性を向上させるようになっている。このポリイミド樹脂の皮膜は、前記電子線照射後のアニール処理時、MOSFETの閾電圧V<sub>t</sub>の低下を回復させる率が低いため、この実施例では、前記ポリイミド樹脂膜29はフィールドリミッティング領域2にのみ設け、MO

ー4 μm程度の深さとなっている。前記セル用ウエル12の表層部にはリング状に深さ1 μm程度のn<sup>+</sup>形からなるソース領域16が設けられている。そして、前記ソース領域16の端のp形領域15の表層部がMOSFET部のチャネル17を構成するようになる。また、前記半導体基板10上には、厚さが1~2 μm程度の絶縁膜とリンシリケート膜(PSG膜)からなる厚いフィールド絶縁膜(フィールド酸化膜)18と、これに達する厚さが1000 nm程度のSiO<sub>2</sub>膜からなる薄いゲート絶縁膜(ゲート酸化膜)19が設けられている。前記フィールド酸化膜18はソース接合領域13およびフィールドリミッティンググライング14上に延在する。また、最外周のセル用ウエル12部分におけるゲート酸化膜19はソース接合領域13上にまで及んでいる。また、フィールドリミッティング領域2の最外周部分には、1 μm程度の深さのn<sup>+</sup>形のアニューリング20が設けられている。このアニューリング20は前記ソース領域16の形成と同時に形成される。

他方、半導体素子1の正面領域には厚さ1 μm程度のリンシリケートガラス PSG 膜28が形成されている。また、前記MOSFET部3を除くフィールドリミッティング領域2の裏面には、3~4 μmの厚さからなるポリイミド樹脂膜29が設けられている。前記PSG膜28およびポリイミド樹脂膜29はバッシャーション膜となる。

SFET部3には設けないようになっている。したがって、バッシャーション膜をポリイミド樹脂で構成した半導体素子であっても、電子線照射およびアニール処理によって内蔵ダイオードの逆回復時間を短くでき、かつMOSFETの閾電圧値の回復を得ることができる。

つぎに、半導体素子1の製造方法について第4図~第13図を参照しながら説明する。半導体素子1は第4図のフローチャートで示されるように、ウエハ用意、pウエル形成、ゲート酸化膜形成、ゲート電極形成、p領域形成、ソース領域形成、層間絶縁膜形成、ソース電極形成、PSG膜形成、ポリイミド膜形成、バッシャッシュ、ドレイン電極形成、電子線照射、アニール、チップ化の各工程を経て製造される。

最初に第5図に示されるように、正面にn<sup>-</sup>形エピタキシャル成長層11を有する厚さ約400 μmとなるn<sup>+</sup>形半導体基板(半導体基板)10が用意される。この半導体基板10は薄くかつ径が大きいことから以後ウエハ35と称する。

つぎに、第6図に示されるように、ウエハ3.5の正面は熱酸化によりSiO<sub>2</sub>膜3.6が部分的に形成されかつボロンのイオン注入およびアニール処理によって深さ8~10μmのウエルが形成される。このウエルはセル用ウエル1.2、ソース接合領域1.3、フィールドリミッティングリング1.4と3種類形成される。前記MOSFET部3においてはセル用ウエル1.2が設けられる。このセル用ウエル1.2は、MOSFET部3において種々にスポット的に多數整列配置形成される。セル用ウエル1.2のピッチ3.0~4.0μm程度となる。フィールドリミッティング領域2においては、その内側にソース接合領域1.3が設けられるとともに、外側には2段に亘ってフィールドリミッティングリング1.4が設けられる。

つぎに、前記SiO<sub>2</sub>膜3.6は部分的にエッチング除去される。その後、第7図に示されるように、ウエハ3.5の正面には熱酸化によって酸化膜3.8が形成される。この酸化膜3.8は部分的にゲート酸化膜(ゲート絶縁膜)1.9となる。この結

晶膜3.8は1000nmの厚さとなっている。また、前記酸化膜3.8および後記酸化膜3.8からSiO<sub>2</sub>膜3.6に亘って部分的に多結晶シリコン層2.5が形成される。この多結晶シリコン層2.5は部分的にゲート電極となる。

つぎに、前記多結晶シリコン層2.5およびSiO<sub>2</sub>膜3.6ならびに図示しないホトレジスト膜をマスクとしてボロンガラスエビタキシャル成長層1.1の表面に打ち込まれかつアニール処理される。この結果、前記セル用ウエル1.2の周縁には深さ3~4μmのn<sup>+</sup>形領域1.5が形成される。

つぎに、第9図に示されるように、前記酸化膜3.8のソース領域形成領域およびフィールドリミッティング領域2の最外側のアニュラリング形成領域にそれぞれ対応する領域が除去される。ついで、リングが打ち込まれかつアニール処理される。この結果、セル用ウエル1.2の表面部にn<sup>+</sup>形のソース領域1.6が形成されるとともにフィールドリミッティング領域2にはアニュラリング2.0が形成される。これらn<sup>+</sup>形領域は1μm前後の深

さとなる。ソース領域1.6の外側のp形領域1.5部分はチャネル1.7を構成する。前記ソース領域1.6およびp形領域1.5は酸化膜3.8をそれぞれマスクとして形成されるため自己整合(2重被覆自己整合)となり、正確な寸法のチャネル1.7が形成される。

つぎに、第10図に示されるように、不要な酸化膜3.8は除去されるとともに新たにウエハ3.5の正面には部分的にPSG膜2.8を形成される。この結果、前記ゲート酸化膜1.9は層間絶縁膜2.6によって被われる。この状態では内周部のソース領域1.6を含むセル用ウエル1.2、ソース接合領域1.3の一部、一部のフィールドリミッティングリング1.4の一部、フィールドリミッティング領域2の最外周部が露出する。

つぎに、第11図に示されるように、それぞれ前記露出部に接触するようなソース電極2.7が設けられる。このソース電極2.7は厚さ3~4μmのn<sup>+</sup>型膜となり、蒸着および常用のエッチングによって第11図のようにバターニングされる。

このソース電極2.7は前記ソース領域1.6およびn<sup>+</sup>形のセル用ウエル1.2に電気的に接続する。

つぎに、第12図に示されるように、ウエハ3.5の正面には厚さ1μm程度のPSG膜2.8が形成される。このPSG膜2.8はMOSFET部3は勿論のこととしてフィールドリミッティング領域2をも被う。

つぎに、第13図に示されるように、前記フィールドリミッティング領域2上には厚さ3~4μmのポリイミド樹脂膜2.9が形成される。

つぎに、ウエハ3.5はバックエッチされる。そしてバックエッチされたウエハ3.5の裏面には、第2図に示されるように1μm程度の厚さの現くなるドレイン電極6が形成される。

つぎに、このウエハ3.5はその裏面に電子線が照射されかつアニール処理される。電子線の照射条件は、たとえば、1~2MeVのエネルギーで1×10<sup>14</sup>~10<sup>15</sup>cm<sup>-2</sup>の粒子数を照射する。また、アニールは300~400°Cで60分程度行われる。電子線の照射によって基体内にライフタイムキラ

ーが形成され、内蔵ダイオードの逆回復時間  $t_{rr}$  が短縮される。たとえば、内蔵ダイオードの逆回復時間  $t_{rr}$  は耐圧500Vクラスの場合、通常の500nsec程度から100~110nsecに短縮でき、内蔵ダイオードをフライホイールダイオードとして使用できるようになる。

また、前記電子線照射によってMOSFETの耐電圧  $V_{ds}$  变化するが、前記アーナール処理によって電子線照射を行わない場合の耐電圧  $V_{ds}$  のおよそ80~90%まで回復する。また、この回復は、MOSFET部をポリイミド樹脂で被っている場合には、耐電圧  $V_{ds}$  の回復率は50~68%と低いが、MOSFET部3をPSG膜2で被る本実施例の場合は、耐電圧  $V_{ds}$  の回復率は80%~90%と高くなる。

つぎに、前記ウエハ3は縦横に分離されて第1図に示されるような半導体素子1が多数製造される。

なお、内蔵ダイオードの逆回復時間  $t_{rr}$  を短縮させるための電子線照射およびアーナール処理は、

処理以後に再度熱が加わると変化してしまうことから、MOSFET部が形成され、パッシベーション膜や各電極が形成され、ウエハ3が分割される前の最終工程で行われる。すなわち、電子線照射およびアーナール処理は熱を伴う最終処理が行われた後に行う。

このような半導体素子1は、第14図に示されるようなパッケージ39に組み込まれ半導体装置40となる。この半導体装置40の組立にあっては、特に図示はしないが、リードフレームが用いられ、このリードフレームのヘッダ41上に半導体素子1が固定される。また、固定された半導体素子1の電極、換言するならば、ゲート用ワイヤボンディングバッド4とソース用ワイヤボンディングバッド5とこれに対応するリードフレームのリード42は図示しない導電性のワイヤで接続され、かつヘッダ41の一部、半導体素子1、リード42の内端、ワイヤ等は絶縁性の樹脂、たとえばエポキシ樹脂で封止（モールド）される。また、モールド後は、不要なリードフレーム部分は切断

除去されて、第14図に示されるような半導体装置40となる。このモールドにおいて、前記半導体素子1の周縁部分、すなわち、フィールドリミッティング領域2はレジンと密着性が良い樹脂（ポリイミド樹脂）で被われていることから、レジンと半導体素子1との接着性が良好となり耐湿性が向上する。

このような実施例によれば、つぎのような効果が得られる。

(1) 本発明の半導体装置にあっては、半導体素子のフィールドリミッティング領域にパッケージを構成するレジンとの密着性が良好なポリイミド樹脂が設けられていることから、耐湿性が向上するという効果が得られる。

(2) 本発明の半導体素子は、パッシベーション膜としてポリイミド樹脂を使用しているが、内蔵ダイオードの逆回復時間  $t_{rr}$  をコントロールするための電子線照射およびアーナール処理においてMOSFETの耐電圧  $V_{ds}$  の回復を阻害するポリイミド樹脂はMOSFET部には設けられず、耐電

圧  $V_{ds}$  の回復性の良好なPSG膜をMOSFET部のパッシベーション膜として使用した構造となっていることから、内蔵ダイオードの逆回復時間  $t_{rr}$  の短縮およびMOSFETの耐電圧  $V_{ds}$  の頗る回復を得ることができるという効果が得られる。

(3) 上記(2)により、本発明の半導体素子は内蔵ダイオードをフライホイールダイオードとして使用できるようになるという効果が得られる。

(4) 上記(1)~(3)により、本発明によれば高速スイッチング用MOSFETを提供できるという相乗効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、第15図に示されるように、ポリイミド樹脂膜29からなるパッシベーション膜を、MOSFET部3には設けず、ソース電極7を露出させ、フィールドリミッティング領域2のみ

に設ける構造としても前記実施例同様な効果が得られる。

また、第16図に示されるように、フィールドリミッティング領域2にはバッシャーション膜としてポリイミド樹脂膜29を、MOSFET部3にはPSG膜28を設け、電子線照射によるライフタイムコントロールと、アーニール処理によるMOSFETの閾電圧V<sub>th</sub>の回復の効果を、それぞれバッシャーション膜の違いで得るようにして良い。

以上の説明では主として本発明者によってなされた発明をその背景となつた利用分野である縦型MOSFETの製造技術に適用した場合について説明したが、それに限定されるものではない。

本発明は少なくとも内蔵ダイオードを有する半導体素子の製造には適用できる。

#### (発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明のMOSFETを有する半導体素子は、電子線照射およびアーニール処理によって内蔵ダイオードの逆回復時間の低減処理が行なわれるが、アーニール処理によるMOSFETの閾電圧値の回復率を低くするバッシャーション膜としてのポリイミド樹脂はMOSFET部の領域には設けず、半導体素子の周縁部分にのみ設けられている。したがって、アーニール処理によるMOSFETの閾電圧値の回復率が高くなる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例によるパワーMOSFETの模式的平面図。

第2図は同じくパワーMOSFETの要部を示す断面図。

第3図は同じくパワーMOSFETの等価回路図。

第4図は本発明の一実施例によるパワーMOSFETの製造方法を示すフローチャート。

第5図は同じくパワーMOSFETの製造において使用するウエハの一部の断面図。

第6図は同じくpウエルが形成されたウエハの断面図。

第7図は同じくゲート酸化膜が形成されたウエハの断面図。

第8図は同じくp領域が形成されたウエハの断面図。

第9図は同じくソース領域が形成されたウエハの断面図。

第10図は同じく層間絶縁膜が形成されたウエハの断面図。

第11図は同じくソース電極が形成されたウエハの断面図。

第12図は同じくPSG膜が形成されたウエハの断面図。

第13図は同じくポリイミド樹脂膜が形成されたウエハの断面図。

第14図は本発明による半導体装置の外観を示す斜視図。

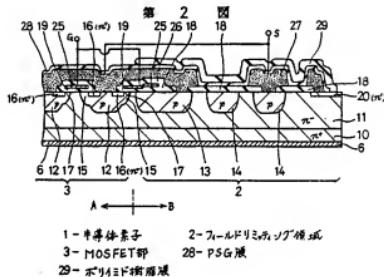
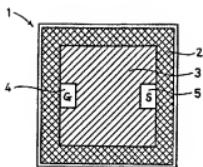
第15図は本発明の他の実施例によるパワーMOSFETの要部を示す断面図。

第16図は本発明の他の実施例によるパワーMOSFETの要部を示す断面図である。

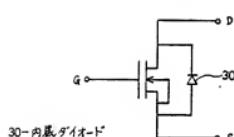
1…半導体素子（チップ）、2…フィールドリミッティング領域、3…MOSFET部、4…ゲート用ワイヤボンディングパッド、5…ソース用ワイヤボンディングパッド、6…ドレイン電極、10…半導体基体（半導体基板）、11…p形エピタキシャル成長層、12…セル用ウエル、13…ソース接合領域、14…フィールドリミッティンググリンド、15…p形領域、16…ソース領域、17…チャネル、18…フィールド酸化膜、19…ゲート酸化膜、20…アニューラリング、25…多結晶シリコン層、26…層間絶縁膜、27…ソース電極、28…PSG膜、29…ポリイミド樹脂膜、30…内蔵ダイオード、36…S10膜、38…酸化膜、39…パッケージ、40…半導体装置、41…ヘッダ、42…リード。

代理人 井程士 秋田収喜

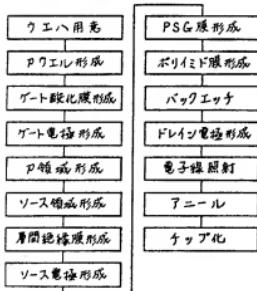
第 1 図



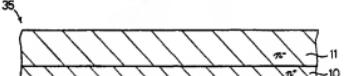
第 3 図



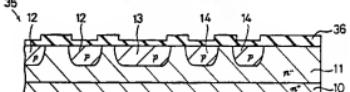
第 4 図



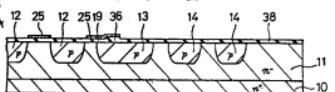
第 5 図

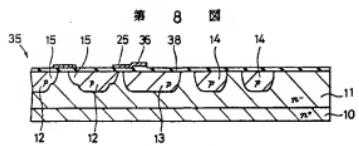


第 6 図

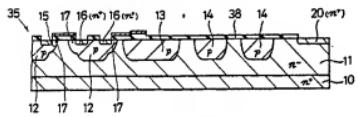


第 7 図

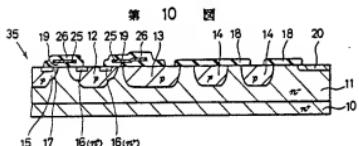




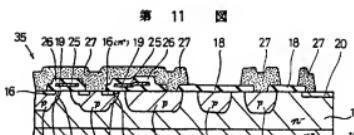
第 8 図



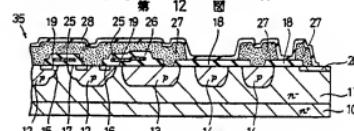
第 9 図



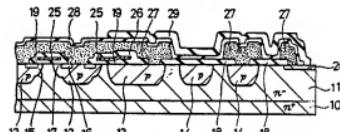
第 10 図



第 11 図



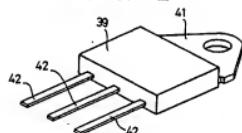
第 13 図



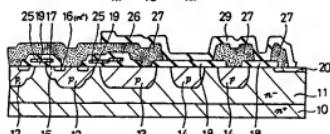
28-PSG膜

29-ポリイミド樹脂膜

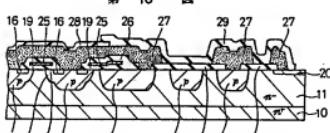
第 14 図



第 15 図



第 16 図



28-PSG膜

29-ポリイミド樹脂膜